

# FPGA無料タイミング解析結果 タイミングレポートの取得方法について

---

2018/△△/△△  
メイビスデザイン株式会社

この度は弊社FPGA無料タイミング解析サービスをご利用頂き、誠にありがとうございました。

御社よりご提供頂きましたタイミングレポートを弊社独自の視点で解析し、結果をご報告申し上げます。

なお、今回ご報告させて頂いた内容は、課題の全容を把握する上での導入部に過ぎず、より詳細な解析やタイミングを収束させるための具体的なご提案、その他FPGAのインプリメンテーションに関する課題解決のご要望につきましては、以下連絡先までお気軽にお問合せください。

メイビスデザイン株式会社 奥村

✉ [toshio.okumura@maviss-design.com](mailto:toshio.okumura@maviss-design.com)

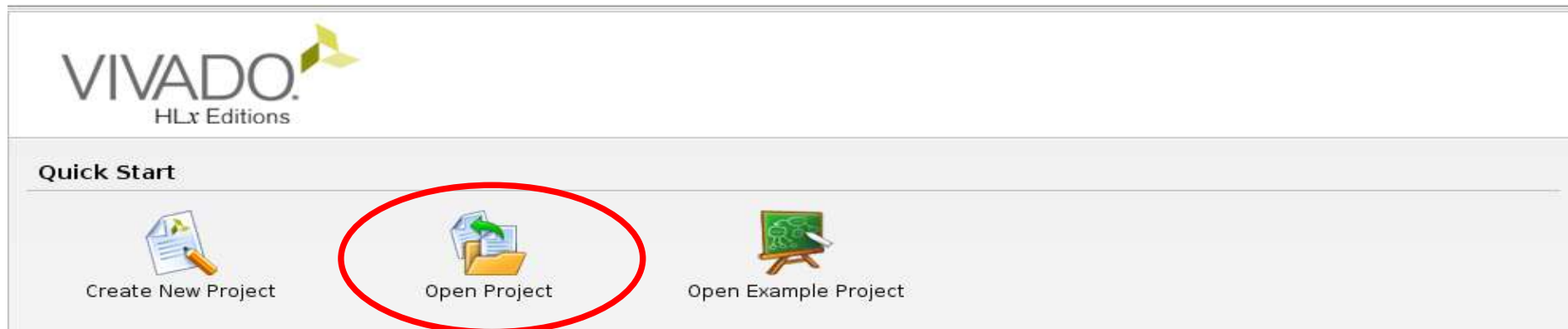
☎ 050-3816-4807

この資料はXilinx社Vivadoの使い方そのものをガイドするものではありません。  
あくまでも弊社FPGA簡易タイミング解析サービスをご利用頂く上で、必要なタイミン  
グレポートの取得手順を掲載しております。

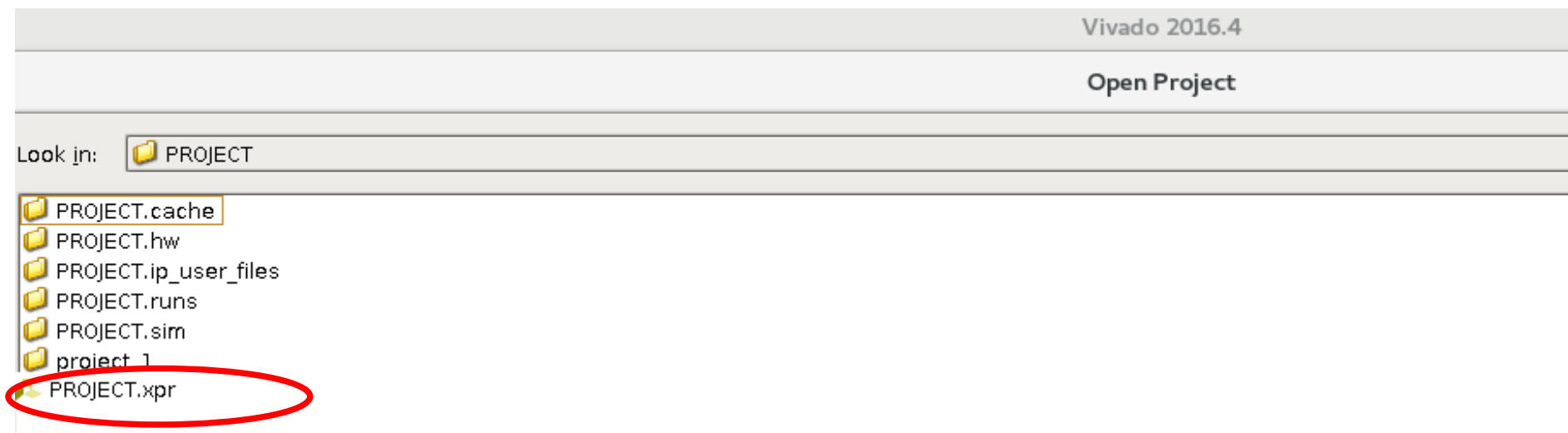
Vivadoそのものの使用方法につきましては、Xilinx社かVivadoを購入された代理店に  
直接お問い合わせ頂けますよう、よろしくお願い申し上げます。

# Step1. プロジェクトを読み込み

① Open Project をクリックします。



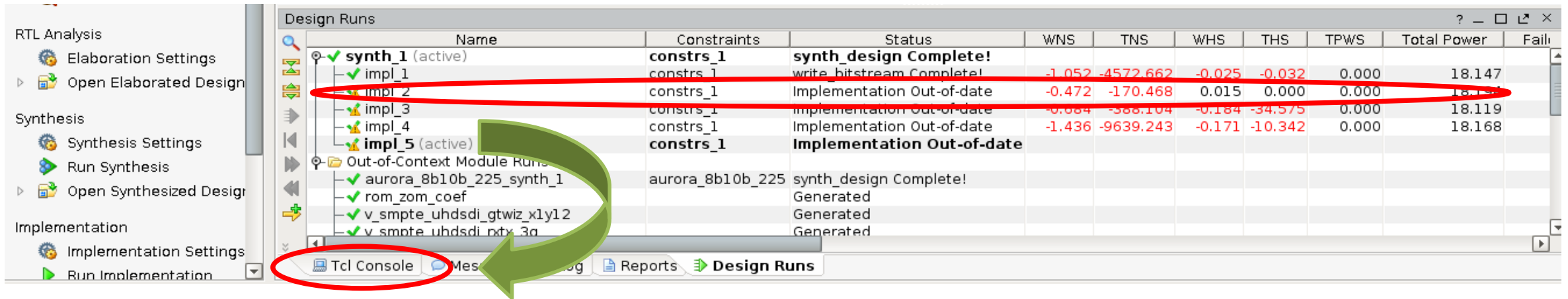
② PROJECT名.xprを選択し、「OK」で読み込みます。



## Step2. Implementation工程でレポートを取る

- ③ 配置配線の全工程を実行完了した後、タイミングレポートを取得します。配置配線済みのデータを選択し、「Tcl Console」をクリック、以下のコマンドを入力してください。

```
> report_timing -delay_type max -max_paths 100000 -nworst 2 -sort_by group -input_pins  
-name timng_1 -file ./保存場所のパス指定/ファイル名
```



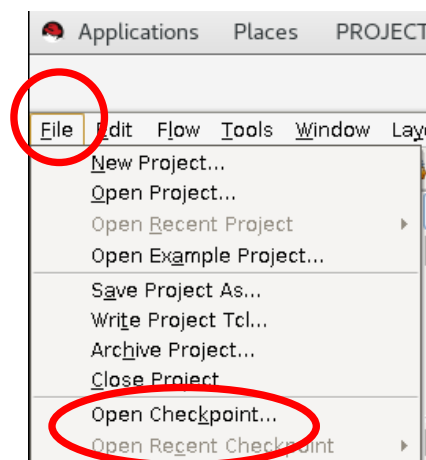
Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Total Power	Fail
synth_1 (active)	constrs_1	synth_design Complete!							
impl_1	constrs_1	write_bitstream Complete!	-1.052	-4572.662	-0.025	-0.032	0.000	18.147	
impl_2	constrs_1	Implementation Out-of-date	-0.472	-170.468	0.015	0.000	0.000	18.151	
impl_3	constrs_1	Implementation Out-of-date	-0.884	-588.104	-0.184	-34.575	0.000	18.119	
impl_4	constrs_1	Implementation Out-of-date	-1.436	-9639.243	-0.171	-10.342	0.000	18.168	
impl_5 (active)	constrs_1	Implementation Out-of-date							
Out-of-Context Module Runs									
aurora_8b10b_225_synth_1	aurora_8b10b_225	synth_design Complete!							
rom_zom_coef		Generated							
v_smpte_uhdsdi_gt wiz_x1y12		Generated							
v_smpte_uhdsdi_rtx_3g		Generated							

- ④ この手順で取得したタイミングレポートを弊社FTPサイトへ転送お願い致します。

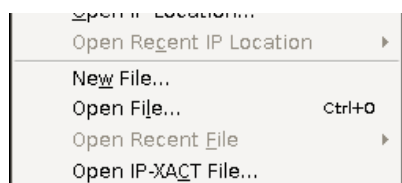
# Step3. より高度な解析のためのレポートを取る

より高度な解析のために、論理合成直後、配置直後、配線直後のそれぞれの過程でタイミングレポートを取得し、タイミングがどのような経緯で改悪しているか、これを把握することが根本解決につながるケースがございます。そのためのレポート取得手順を以下に掲載します。

① Fileをクリックします。

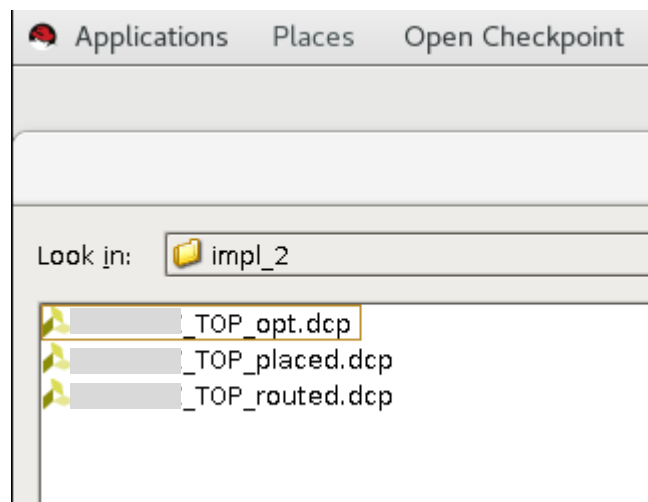


② Open Checkpointをクリックします。



③ データの読み込みます。

- a. 論理合成直後 : xxxx\_opt.dcp
- b. 配置直後 : xxxx\_placed.dcp
- c. 配線直後 : xxxx\_routed.dcp



④ a. 論理合成直後のデータの読み込みレポートを取得します。これをb. c. それぞれで繰り返してください。

```
> report_timing -delay_type max  
-max_paths 100000 -nworst 2  
-sort_by group -input_pins  
-name timng_1  
-file ./保存場所のバス指定/ファイル名
```

⑤ この手順で取得したタイミングレポートを弊社FTPサイトへ転送お願い致します。



**MAV1SS DESIGN**

**メイビスデザイン株式会社**

*This material is confidential and the property of Maviss Design Co., Ltd.*