

FPGA無料タイミング解析結果（サンプル）

2018/△△/△△
メイビスデザイン株式会社

この度は弊社FPGA無料タイミング解析サービスをご利用頂き、誠にありがとうございました。

御社よりご提供頂きましたタイミングレポートを弊社独自の視点で解析し、結果をご報告申し上げます。

なお、今回ご報告させて頂いた内容は、課題の全容を把握する上での導入部に過ぎず、より詳細な解析やタイミングを収束させるための具体的なご提案、その他FPGAのインプリメンテーションに関する課題解決のご要望につきましては、以下連絡先までお気軽にお問合せください。

メイビスデザイン株式会社 奥村

✉ toshio.okumura@maviss-design.com

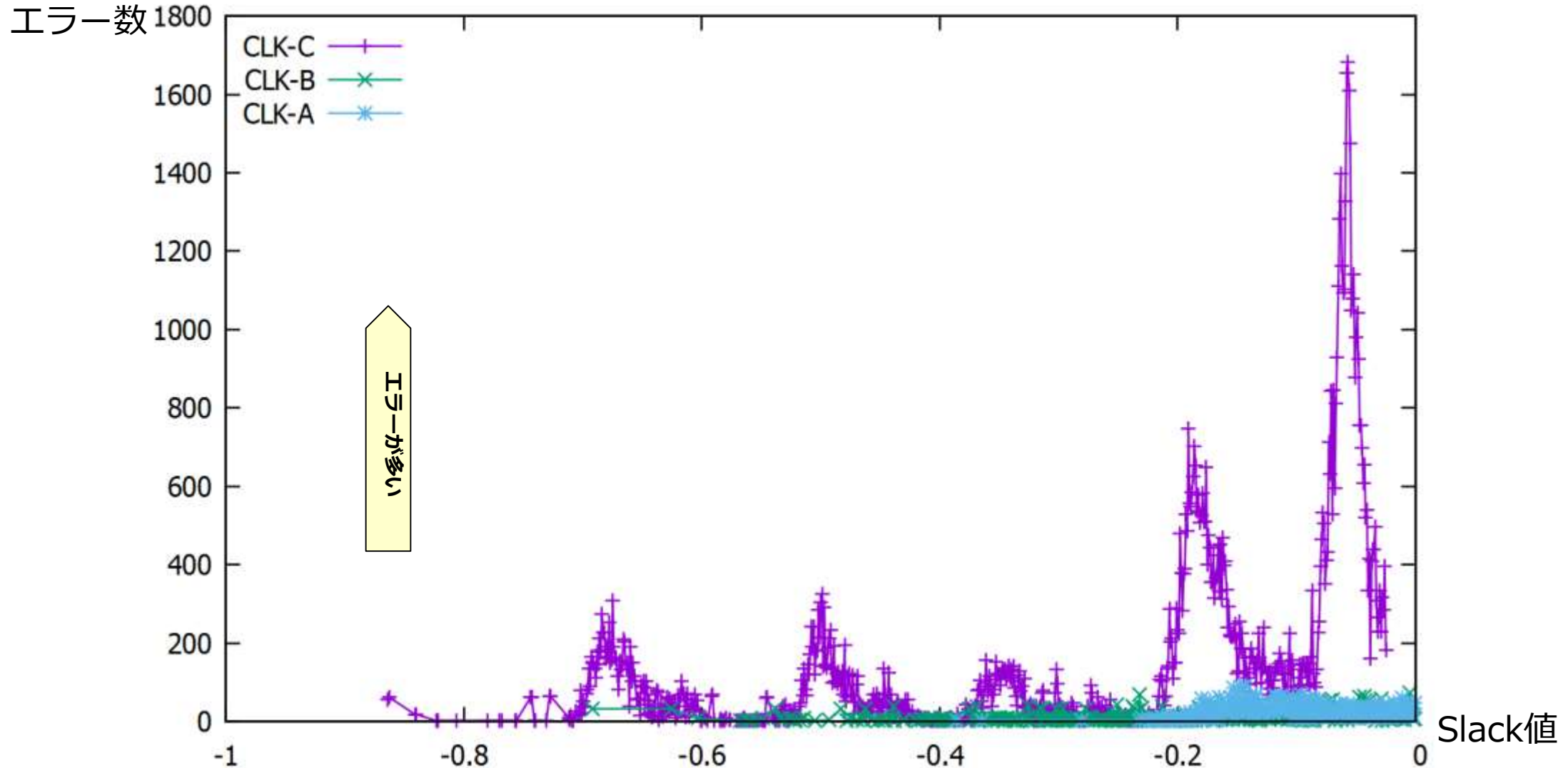
☎ 050-3816-4807

■ タイミングサマリー

Clock	Setup			Hold		
	WNS[ns]	TNS[ns]	Failing Endpoints	WNS[ns]	TNS[ns]	Failing Endpoints
CLK-A	-0.772	-633.414	6224	0.030	0	0
CLK-B	-22.144	-826.69	4812	0.030	0	0
CLK-C	-48.38	-21102.95	100000	0.016	0	0

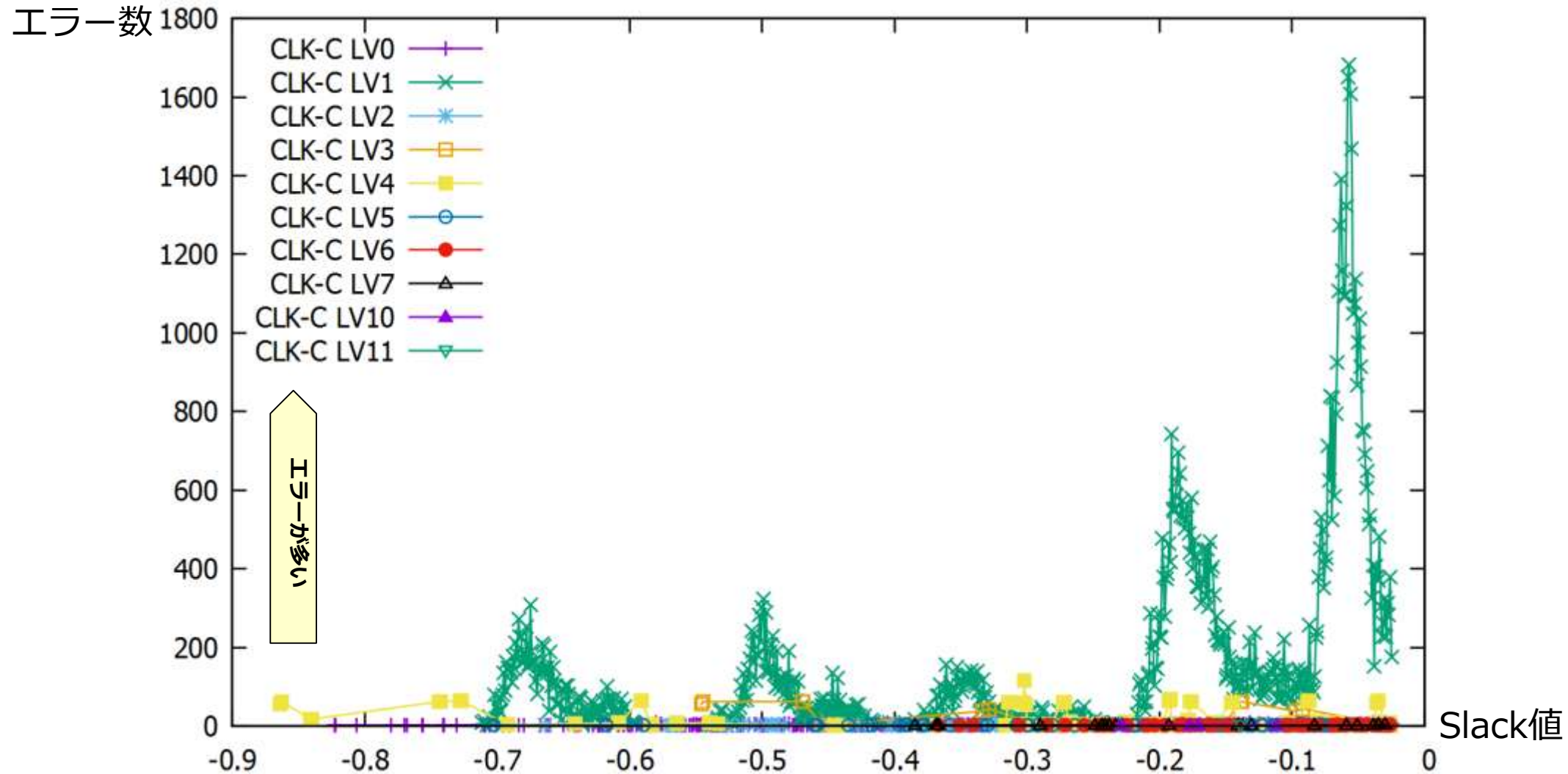
WNS/TNSが最も大きいのはCLK-C です(次頁参照)。
まずはCLK-Cのタイミング収束をもっとも優先させるべきです。

タイミング違反分布 clkdomain毎のSlack値とエラー数の相関

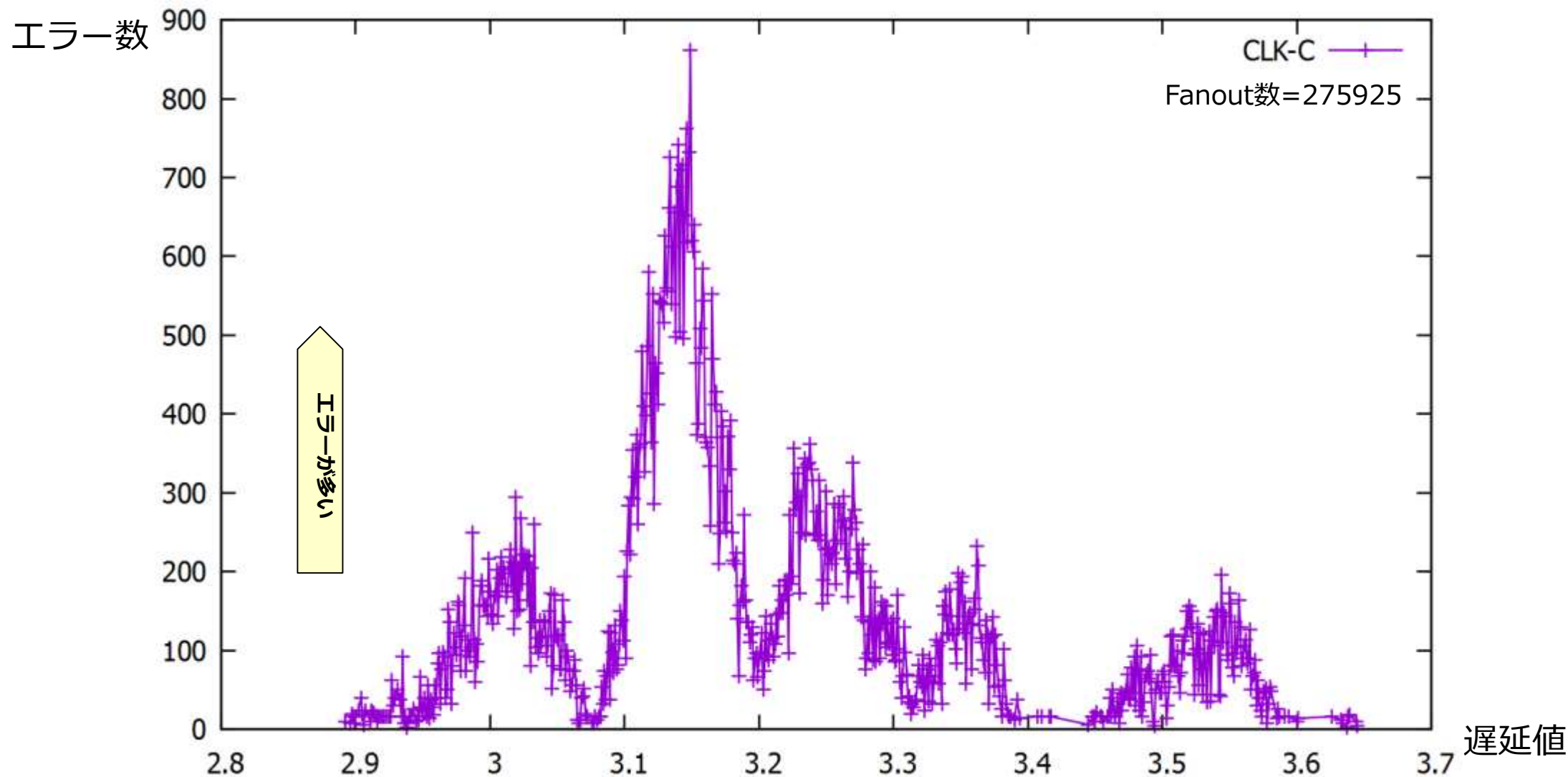


CLK-C (紫) の違反が支配的です。次ページよりCLK-Cを詳しく解析します。

タイミング違反分布 CLK Cの論理段数毎のSlack値とエラー数の相関



論理段数一段のパスでも多くのエラーが発生しているのが特徴的です。



設定条件：Fanout数 > 100000 を閾値とした場合、一件（Fanout数=275925）を検出しました。
確認結果：Fanout数が275925あるセルに何等かの対策が必要です。



MAV1SS DESIGN

メイビスデザイン株式会社

This material is confidential and the property of Maviss Design Co., Ltd.